

Федеральное агентство связи
Северо-Кавказский филиал ордена Трудового Красного Знамени
федерального государственного бюджетного образовательного
учреждения высшего образования
«Московский технический университет связи и информатики»
Кафедра «Сети связи и системы коммутации»



Методические указания и задания на курсовой проект
по дисциплине

Микропроцессорные системы

для студентов-заочников 5-го курса
направление 09.03.01 – Информатика и вычислительная техника
профиль «Вычислительные машины, комплексы, системы и сети»

Ростов-на-Дону
2019 г.

УДК 621.377.6
ББК 32.97
Б 79

Болдырихин Н.В., Сосновский И.А. Методические указания и задания на курсовой проект по дисциплине «Микропроцессорные системы»: метод. пособ. – Ростов-н/Д:СКФ МТУСИ, 2019. – 18 с.

В методических указаниях по дисциплине «Микропроцессорные системы» изложены рекомендации по выполнению курсового проекта. Кроме того приведены основные сведения об устройстве и принципах функционирования микропроцессорных систем на основе процессора Intel 8086.

Методические указания предназначены для студентов высших учебных заведений, обучающихся по направлению 09.03.01 – Информатика и вычислительная техника.

Методические указания рассмотрены и одобрены на заседании кафедры «Сети связи и системы коммутации» протокол № 8 от 24.04.2017 г.

Рецензент: канд. техн. наук Енгибарян И.А.

© СКФ МТУСИ, Болдырихин Н.В., Сосновский И.А.,2019

Издательство СКФ МТУСИ

Сдано в набор 24.04.17. Изд.№ 270 Подписано в печать 30.06.17. Зак.№ 284.

Печ. Листов 1. Учетно-изд.л. 1. Печать оперативная. Тир. 30 экз.

Отпечатано в полиграфическом центре СКФ МТУСИ, Серафимовича, 62.

Содержание

Задание на курсовой проект.....	3
Структурная схема микропроцессорной системы.....	4
Блок центрального процессора	7
Блок дешифрации адресов.....	8
Блок памяти.....	12
Блок внешнего интерфейса	15
Список используемой литературы	17

Задание на курсовой проект.

Цель курсового проекта – разработка аппаратных средств до уровня принципиальной электрической схемы и части микропроцессорной системы (МПС) на базе процессоров семейства Intelx86.

Таблица 1 - Индивидуальные варианты задания

№ вар.	Тип ЦП	Нач. адр. ОЗУ	Объем ОЗУ, Кб	БИС ОЗУ	Объем ПЗУ, Кб	БИС ПЗУ	Нач. адр. ввода-вывода
1	8086	0	16	537PY8	256	573PФ7	20п
2	8086	2000h	8	537PY8	128	573PФ7	40h
3	8086	4000 h	16	537PY8	256	573PФ7	60h
4	8086	6000 h	8	537PY8	128	573PФ7	80h
5	8086	8000h	16	537PY8	256	573PФ7	0A0h
6	8086	10000h	64	537PY18	64	573PФ6	0C0h
7	8086	18000h	32	537PY18	32	573PФ6	0E0h
8	8086	20000h	64	537PY18	64	573PФ6	100h
9	8086	28000h	32	537PY18	32	573PФ6	120h
10	8086	3000 h	64	537PY18	64	573PФ6	140h
11	8086	40000h	128	565PY5Б	16	573PФ5	160h
12	8086	50000h	64	565PY5Б	8	573PФ5	180h
13	8086	80000h	128	565PY5Б	16	573PФ5	1A0h
14	8086	gooooh	64	565PY5Б	8	573PФ5	1C0h
15	8086	0A000h	128	565PY5Б	16	573PФ5	1E0h
16	8086	40000h	256	565PY5Б	16	573PФ2	200h
17	8086	60000h	128	565PY5Б	8	573PФ2	220h
18	8086	80000h	256	565PY5Б	16	573PФ2	240h
19	8086	00A000h	128	565PY5Б	8	573PФ2	260h
20	8086	40000 h	256	565PY5Б	16	573PФ2	280h
21	8086	0 h	512	565PY7	64	573PФ4	2A0h
22	8086	80000 h	256	565PY7	32	573PФ4	2C0h
23	8086	0 h	512	565PY7	64	573PФ4	2E0h
24	8086	40000h	256	565PY7	32	573PФ4	300h
25	8086	0 h	512	565PY7	64	573PФ4	320h
26	8086	0C000h	16	537PY10	256	573PФ7	340h
27	8086	0E000h	8	537PY10	128	573PФ7	360h
28	8086	10000h	16	537PY10	256	573PФ7	380h
29	8086	12000h	8	537PY10	128	573PФ7	3A0h
30	8086	14000 h	16	537PY10	256	573PФ7	3C0h

Структурная схема микропроцессорной системы

В данном проекте разрабатывается микропроцессорная система (МПС) на базе процессора i8086. Основные характеристики процессора 8086:

Наименование	Значение
Число сигналов адреса	20
Число сигналов данных	16
Макс. объем памяти	1Мб
Макс. число портов	64Кб
БИС синхрогенератора	8284
БИС системного контроллера	8288

МПС на базе процессора i8086 (рис.1) включает в себя блок центрального процессора (ЦП), блок памяти и блок внешнего интерфейса.

Кварцевый генератор синхронизации, в составе блока ЦП, служит для координирования работы МПС. Регистры-защелки буферизируют сигнал адреса на шине адреса МПС. Приемопередатчики служат для двухстороннего обмена данными между ЦП и шиной данных МПС. Системный контролер управляет обменом данными в МПС. Системный контролер синхронизируется генератором синхронизации и осуществляет управление шинными формирователями, регистрами, фиксаторами адреса, памятью и устройствами ввода-вывода.

Блок памяти состоит из микросхем ОЗУ и ПЗУ. В ПЗУ хранится управляющая программа для работы ЦП. ОЗУ служит для записи, чтения и хранения данных, к которым требуется прямой доступ.

Блок ввода-вывода служит для обмена данными между МПС и внешними устройствами.

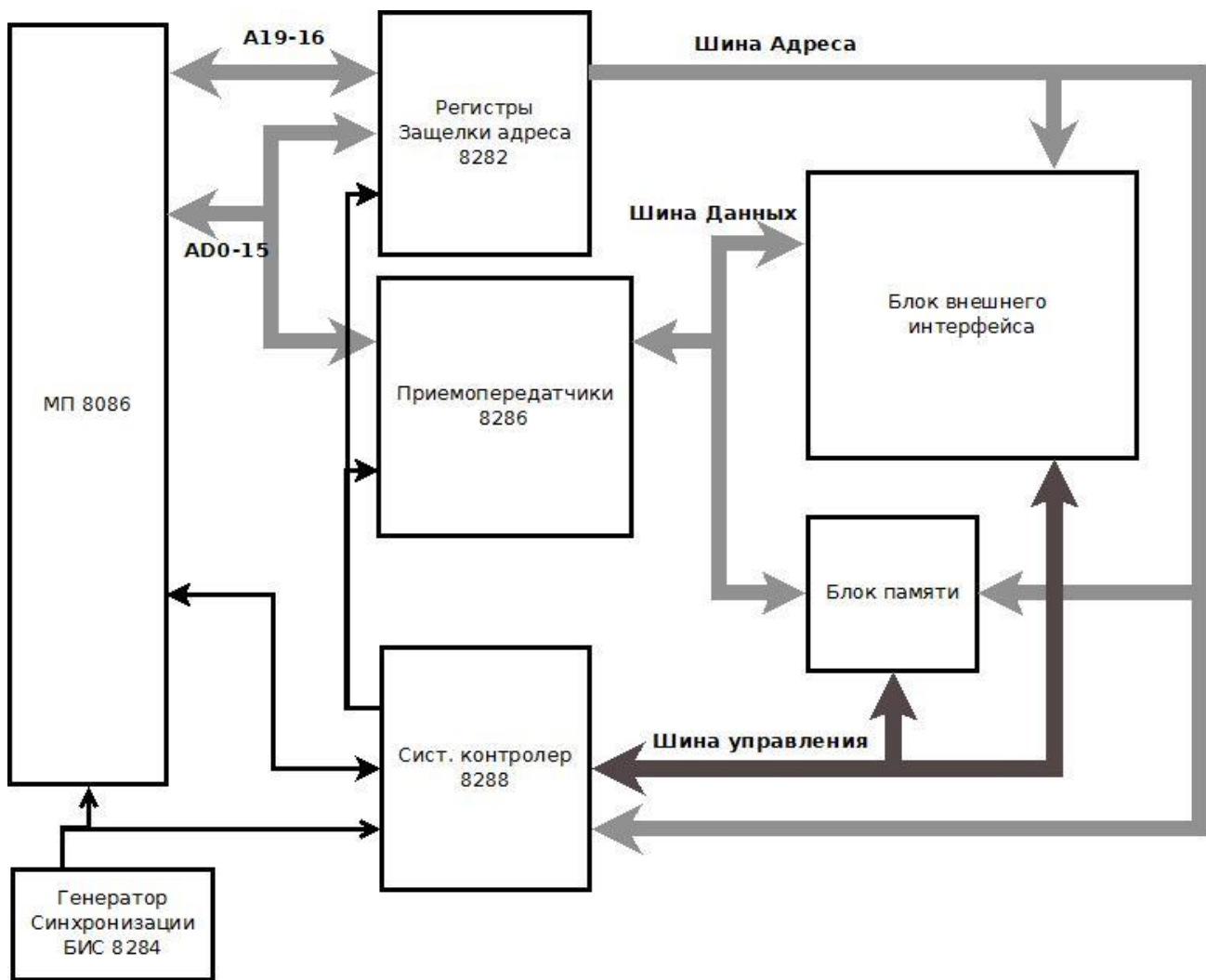


Рисунок 1 - Структурная схема МПС на базе процессора i8086

Шина адреса служит для передачи адреса ячеек памяти модуля памяти, адресов портов ввода-вывода, адресов контроллера прерывания. Шина данных обеспечивает обмен данными между составными частями МПС. Шина управления служит для передачи управляющих сигналов от блока ЦП к другим блокам системы, а также сигналов прерывания от блока ввода-вывода к ЦП.

Блок центрального процессора

Генератор синхронизации выполняется на базе микросхемы 8284. Контакты X1,X2 микросхемы подключаются к кварцевому резонатору. Входной контакт RES, который служит для формирования сигнала RESET (сброс) на выходе микросхемы, подключен к RC цепочке и кнопке RESET. Входной контакт RDY (готовность) в проектируемой МПС подключен к постоянному источнику тока +5В. Выходные контакты RESET и READY подключаются к одноименным контактам ЦП. Выход сигнала синхронизации CLK подключен к контактам синхронизации ЦП и системного контролера.

Для организации адресной шины используются микросхемы 8282, рассчитанные на 8 бит. Для формирования 20 битного адреса необходимо 3 микросхемы, при этом одна из них задействуется не полностью. Ко входам DI микросхем подключаются контакты AD0-AD15, A16-A19, $\overline{ВН\bar{E}}$ ЦП. Сигналы $\overline{ВН\bar{E}}$ и A0 указывают подключенным к шине интерфейсам, каким образом данные должны появляться на шине. Сигнал строба STB подключается к контакту ALE системного контролера и служит для фиксации битов. Сигнал $\overline{O\bar{E}}$ разрешает выходы DO0-DO7, в однопроцессорных системах без контролера ПДП этот контакт заземляется.

Таблица 2- Использование линий данных

Операция	$\overline{ВН\bar{E}}$	A0	Линия данных
Запись/считывание слова по четному адресу	0	0	AD15-AD0
Запись/считывание байта по четному адресу	1	0	AD7-AD0
Запись/считывание байта по нечетному адресу	0	1	AD15-AD8
Запись/считывание слова по нечетному адресу	1	1	AD7-AD0

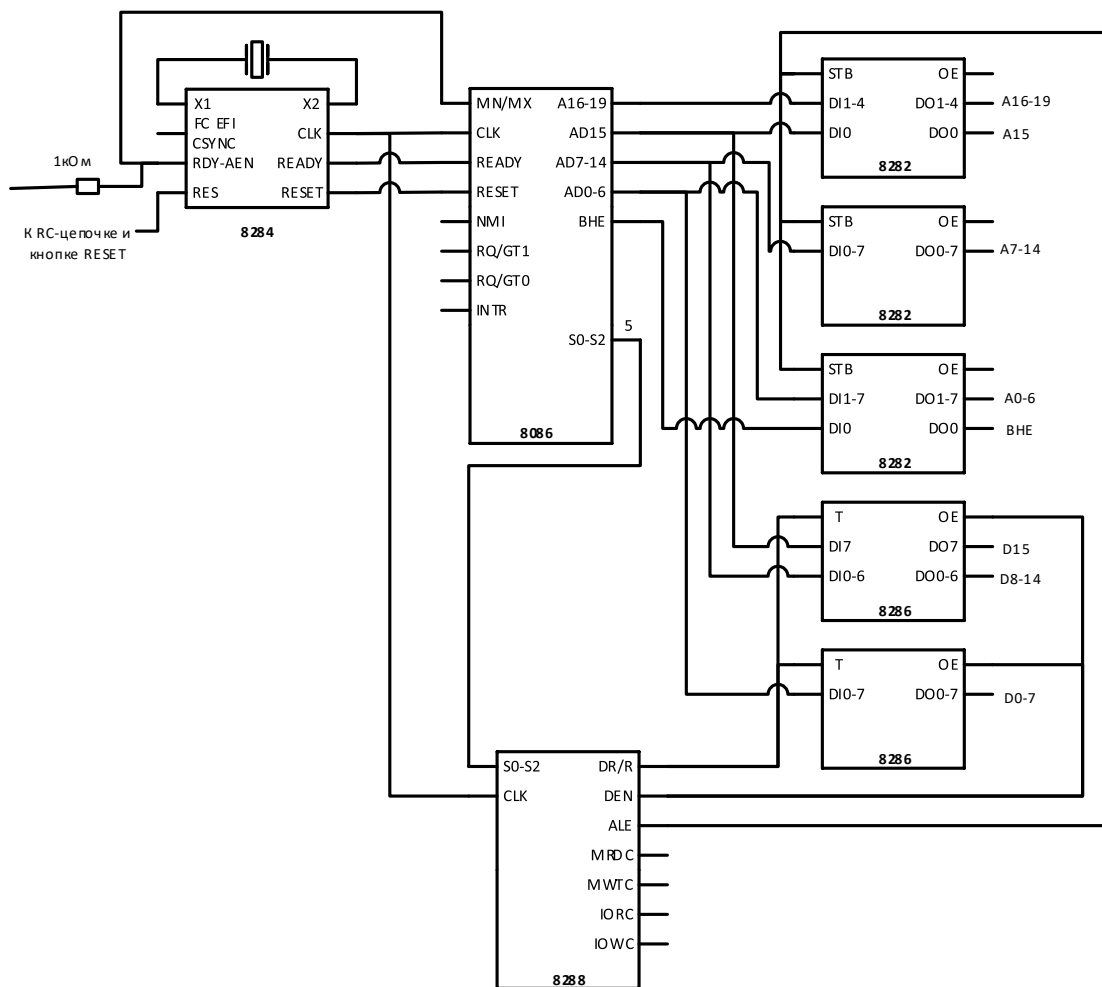


Рисунок 2 - Блок центрального процессора 8086

Для реализации шины данных используется микросхема 8286. Она содержит 16 тристабильных элементов – 8 приемников и 8 передатчиков. Для обслуживания шестнадцати линий данных AD0-AD15 процессора 8086 требуется две микросхемы. Сигнал разрешения \overline{OE} подключается к контакту DEN, а сигнал T_k контакту DT/R системного контролера. Когда $\overline{OE} = 1$, данные не проходят через 8286. Если $\overline{OE} = 0$, сигнал $T=1$ делает входными линии DI0-DI7, а $T=0$ DO0-DO7.

Сигналы S0,S1,S2 между системным контролером и ЦП определяют тип выполняемой передачи. Сигнал IORC заставляет интерфейс ввода-вывода поместить данные из адресованного порта на шину данных. Сигнал IOWC заставляет интерфейс ввода вывода считать данные с шины данных и загрузить

их в адресуемый порт. Сигналы MRDC/MWTC делают тоже, что и IORC/IOWC только для модуля памяти.

Блок дешифрации адресов

Блок дешифрации адресов проектируемой МПС состоит из трех частей: схемы формирования сигналов CS (выбор кристалла) для микросхем ОЗУ блока памяти, схемы формирования сигналов CS для микросхем ПЗУ блока памяти и схемы формирования сигналов CS для программируемых периферийных БИС блока внешнего интерфейса.

Исходными данными для разработки блока дешифрации адресов являются указанные в индивидуальном задании: начальный адрес ОЗУ, объем ОЗУ, тип микросхем ОЗУ, объем ПЗУ, тип микросхем ПЗУ, начальный адрес области портов ввода-вывода, а также разрядность системной шины данных, которая, в свою очередь, определяется заданным типом центрального процессора МПС. На начальном этапе разработки необходимо:

- 1) найти число БИС ОЗУ в блоке памяти;
- 2) найти число БИС ПЗУ в блоке памяти;
- 3) определить начальный адрес ПЗУ;
- 4) определить конечный адрес ОЗУ;
- 5) определить номера разрядов шины адреса для формирования общего сигнала выборки ОЗУ (SELECTRAM) и общего сигнала выборки ПЗУ (SELECTROM);
- 6) вычислить начальный адрес ввода-вывода для второй периферийной БИС.

Процесс разработки блока дешифрации адресов рассмотрим на следующем примере. Пусть, согласно заданию:

- БИС ОЗУ - 537PY8;
- Размер ОЗУ - 16Кб;
- БИС ПЗУ - 573PФ7;

Размер ПЗУ - 256Кб.

БИС ОЗУ 537РУ8 имеют организацию 2Кх8 байт. Для организации 16Кб ОЗУ, понадобятся:

$$N_{RAM} = \frac{16}{2} = 8 \text{-- микросхем.}$$

Для организации ПЗУ объемом 256Кб с помощью БИС 573РФ7(32Кх8 байт) необходимо:

$$N_{ROM} = \frac{256}{32} = 8 \text{-- микросхем.}$$

Адресное пространство процессора 1Мб (10000016), чтобы узнать начальный адрес ПЗУ необходимо вычесть из адресного пространства ЦП вычесть объем ПЗУ:

$$1\text{Мб} - 256 \text{ Кб} = 100000_{16} - 40000_{16} = \text{C0000}_{16} \text{-- Начальный адрес ПЗУ.}$$

Начальный адрес ОЗУ по заданию «0», чтобы определить конечный адрес ОЗУ необходимо к начальному адресу прибавить объем ОЗУ и отнять 1:

$$0 + 16\text{Кб} - 1 = 0 + 4000_{16} - 1 = \text{3FFF}_{16}$$

Для определения номеров разрядов шины адреса для формирования общего сигнала выборки ОЗУ (SELECT_{RAM}) необходимо выбрать те разряды, которые остаются неизменными для всех адресов ОЗУ.

Таблица 3- Использование разрядов адресной шины (ОЗУ)

	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0 ₁₆	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
3FF F ₁₆	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Неизменными остаются сигналы шины адреса A19...A14, следовательно, они подаются на блок дешифрации адресов и формируют сигнал для выборки ОЗУ. Также в формирование сигнала SELECT_{RAM} участвуют сигналы MRDC, MWTC системной шины управления, т.к. ОЗУ должно быть активно только во время циклов чтения или записи в память.

$$SELECT_{RAM} = \overline{A19} \& \overline{A18} \& \overline{A17} \& \overline{A16} \& \overline{A15} \& \overline{A14} \& (\overline{MRDC} \vee \overline{MWTC})$$

Т.к. ОЗУ состоит из 8 микросхем расположенных блоками попарно, необходимо с помощью сигнала $SELECT_{RAM}$ и нескольких старших разрядов из оставшихся (A13..A0) сформировать сигналы CS для выбора отдельной БИС ОЗУ. Количество необходимых разрядов для 16-разрядной системной шины данных вычисляется по формуле:

$$n = \log_2(N_{RAM}) - 1 = \log_2(8) - 1 = 2.$$

Перебирая все возможные варианты сигналов A13,A12 составим уравнения для отдельных сигналов выборки микросхем ОЗУ

$$\overline{CS}_1 = SELECT_{RAM} \& \overline{A13} \& \overline{A12},$$

$$\overline{CS}_2 = SELECT_{RAM} \& \overline{A13} \& A12,$$

$$\overline{CS}_3 = SELECT_{RAM} \& A13 \& \overline{A12},$$

$$\overline{CS}_4 = SELECT_{RAM} \& A13 \& A12.$$

Адреса ПЗУ изменяются от $C0000_{16}$ до $FFFFFF_{16}$.

Таблица 4- Использование разрядов адресной шины (ПЗУ)

	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
$C0000_{16}$	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
$FFFFFF_{16}$	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Соответственно

$$SELECT_{ROM} = A19 \& A18 \& \overline{MRDC}.$$

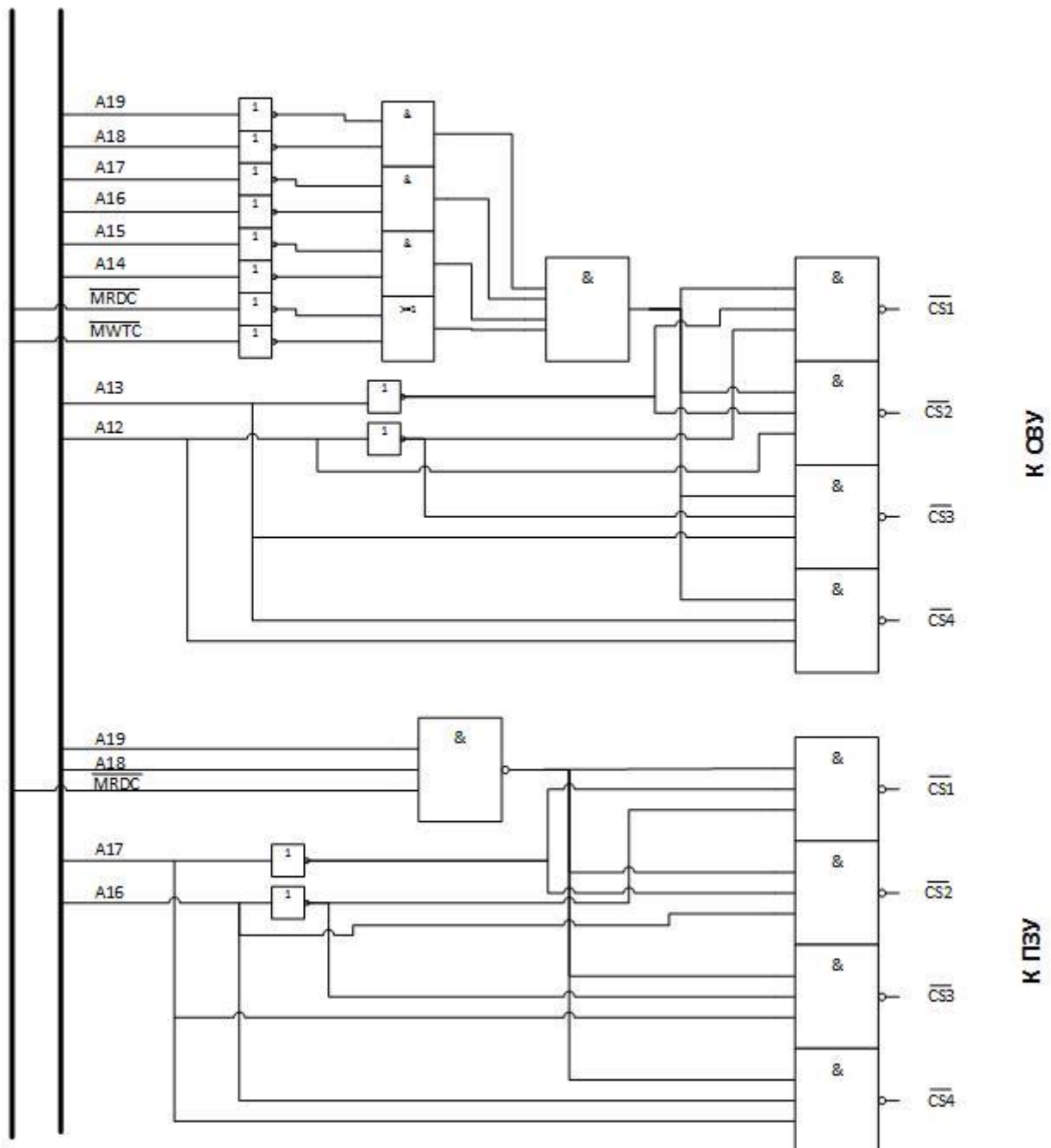


Рисунок 3 - Блок дешефрации адресов блока памяти МПС

В формирование адреса ПЗУ используется только сигнал чтения из памяти, т.к. запись в память не осуществляется. Сигналы A17 и A16 учувствуют в выборе блока ПЗУ с нужной парой микросхем.

Таким образом, сигналы выбора определяются выражениями:

$$\overline{CS}_1 = SELECT_{ROM} \& \overline{A17} \& \overline{A16},$$

$$\overline{CS}_2 = SELECT_{ROM} \& \overline{A17} \& A16,$$

$$\overline{CS}_3 = SELECT_{ROM} \& A17 \& \overline{A16},$$

$$\overline{CS}_4 = SELECT_{ROM} \& A17 \& A16.$$

Используя логические элементы можно построить схему блока дешифрации адресов, для блока памяти МПС (рис. 3)

Блок памяти

В проектируемой МПС с 16-ти разрядной шиной данных используются БИС ОЗУ и БИС ПЗУ статического типа. Данные БИС, как ОЗУ так и ПЗУ, подключаются попарно, один из выходов CS микросхем объединяется и на него подается соответствующий сигнал CS_x от блока дешифрации адресов. Одна из парных микросхем хранит байты по четным адресам и ее входы-выходы подключаются к линиям D0-D7 шины данных. Другая микросхема из пары хранит байты по нечетным адресам и ее входы-выходы подключаются к линиям D8-D15 (рис. 4.).

На второй выход CS первой микросхемы из пары подается младший адресный сигнал адресной шины – A0. Выход CS второй микросхемы из пары подключается к сигналу ВНЕ («выборка старшего бита») адресной шины. Таким образом микросхемы в паре активизируются вместе только если передаются данные по всем 16 линиям шины данных.

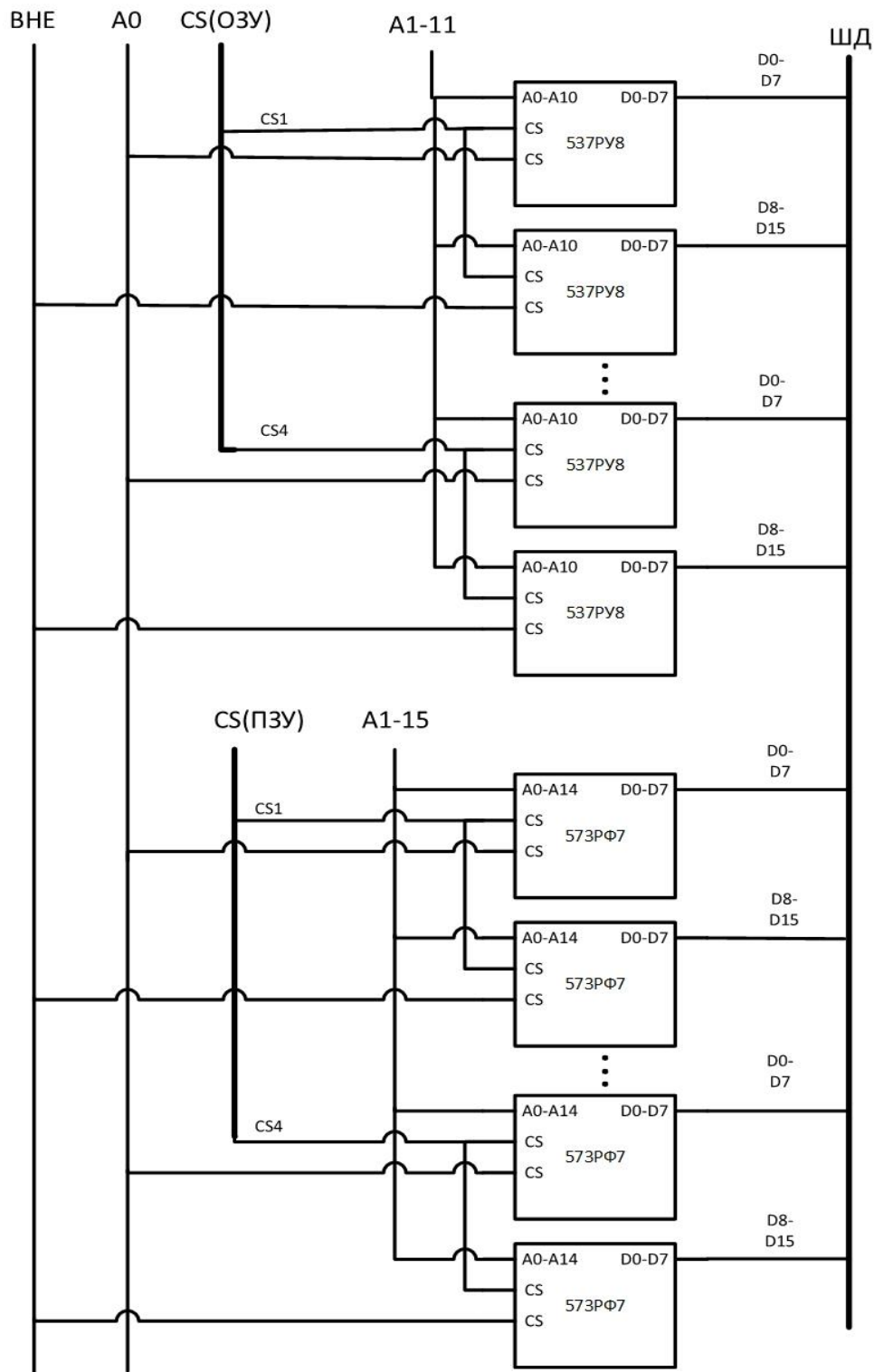


Рисунок 4 - Блок памяти МПС

Адресные входы А0-А10 микросхем ОЗУ 537PY8 подключаются параллельно к линиям А1-А11 адресной шины, а входы А0-А14 микросхем ПЗУ 573PФ7 параллельно к линиям А1-А15 адресной шины.

Блок внешнего интерфейса

Блок внешнего интерфейса состоит из блока дешифрации адресов для микросхем 8255 и 8251 (последовательный и параллельный порт), самих микросхем (8255 и 8251) и логической схемы фиксирующей изменения состояния входов PA1-PA7 микросхемы 8255 и формирующей сигнал запроса прерывания IRQ0.

Схема дешифратора адреса для микросхемы 8255 выполнена с помощью логических микросхем DD2, DD3, а для микросхемы 8251 с помощью DD4. Сигналы выборки для микросхемы 8255 (CS1) и 8251 (CS2) будет следующим:

$$\overline{CS1} = (\overline{A1 \text{ xor } A2}) \& \overline{A3} \& \overline{A4} \& \overline{A5} \& \overline{A6} \& \overline{A7} \& \overline{A8} \& \overline{A9} \& \overline{A10} \& \overline{A11} \& \overline{A12} \& \overline{A13} \& \overline{A14} \& \overline{A15} \& \overline{M/IO},$$

$$\overline{CS2} = A1 \& \overline{A2} \& \overline{A3} \& \overline{A4} \& \overline{A5} \& \overline{A6} \& \overline{A7} \& \overline{A8} \& \overline{A9} \& \overline{A10} \& \overline{A11} \& \overline{A12} \& \overline{A13} \& \overline{A14} \& \overline{A15} \& \overline{M/IO}.$$

Входы-выходы данных микросхемы 8255 соединены с линиями данных D0-D7 шины данных. Адресный вход A0 соединен с сигналом A0 шины адреса напрямую, а A1 с сигналом A1 через инвертор. На входы WR и RD поступают сигналы чтения и записи данных с системного контролера. С помощью микросхем DD7-DD15 формируется сигнал IRQ0, при изменении состояния на входах PA0-PA7.

Входы-выходы данных микросхемы 8251 соединены с линиями данных D0-D7 шины данных. Вход C/D, отвечающий за переключение между режимами команды/данные, подключен к сигналу A0 шины адреса. На входы WR и RD поступают сигналы чтения и записи данных с системного контролера. На вход CLK и RST поступают сигналы с шины управления, отвечающие за синхронизацию и сброс состояния соответственно. Сигнал с выхода TxE служит для формирования сигнала прерывания IRQ1, когда порт передал данные на периферийное устройство и готов принять очередной байт.

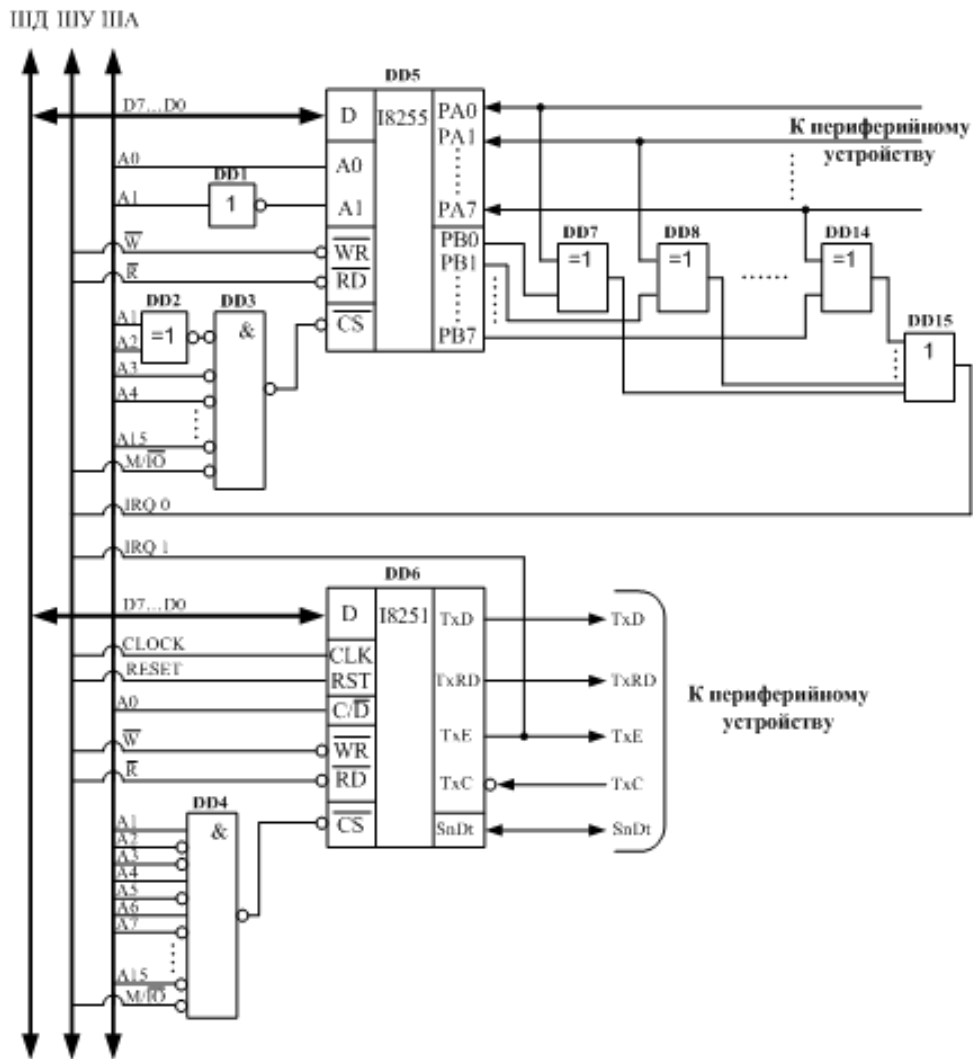


Рисунок 5 - Блок внешнего интерфейса

Список используемой литературы

1. Авдеев В.А. Периферийные устройства интерфейсы, схемотехника, программирование. - М.: ДМК Пресс, 2009.
2. Гуров В.В. Архитектура микропроцессоров. - М.: ИНТУИТ, 2016.
3. Калабеков Б.А. Цифровые устройства и микропроцессорные системы – М.: Радио и связь, 1997.
4. Курасов П.В. Методические указания и задания на курсовой проект по дисциплине «Микропроцессорные системы». – М.: Инсвязьиздат, 2005.
5. Новиков Ю. В., Скоробогатов П.К. Основы микропроцессорной техники. Учебное пособие. – М.: ИНТУИТ, 2004.
6. Ю-ЧженЛю, Г.Гибсон Микропроцессоры семейства 8086/8088. - М.: Радио и связь, 1987.